

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000082679 A**

(43) Date of publication of application: **21.03.00**

(51) Int. Cl.

H01L 21/265
H01L 27/12

(21) Application number: **11183326**

(22) Date of filing: **29.06.99**

(30) Priority: **08.07.98 JP 10192897**

(71) Applicant: **CANON INC**

(72) Inventor: **SAKAGUCHI KIYOBUMI**
SATO NOBUHIKO

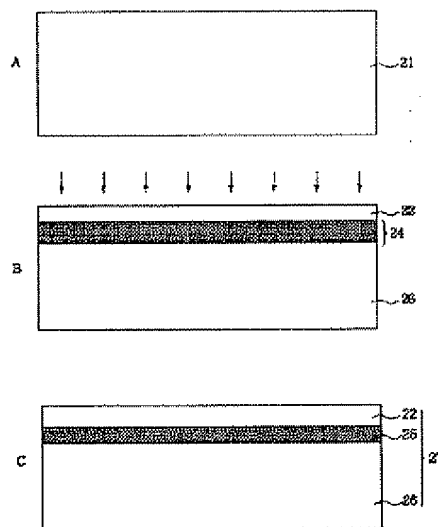
**(54) SEMICONDUCTOR SUBSTRATE AND
PRODUCTION THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To produce a semiconductor substrate having a single crystal silicon layer in which defect, e.g. COP, caused by CZ bulk wafer is eliminated or suppressed drastically.

SOLUTION: The method for producing an SOI substrate comprises a step for preparing an Si basic body 21 produced by floating zone(FZ) method, a step for forming an ion implantation layer 24 in the Si basic body 21 by implanting oxygen ions from the surface side thereof, and a step for forming a buried Si oxide layer 25 beneath a single crystal Si layer on the surface side by heat treating the Si basic body.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82679

(P2000-82679A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/265		H 0 1 L 21/265	J
27/12		27/12	E
		21/265	H

審査請求 未請求 請求項の数19 O L (全 13 頁)

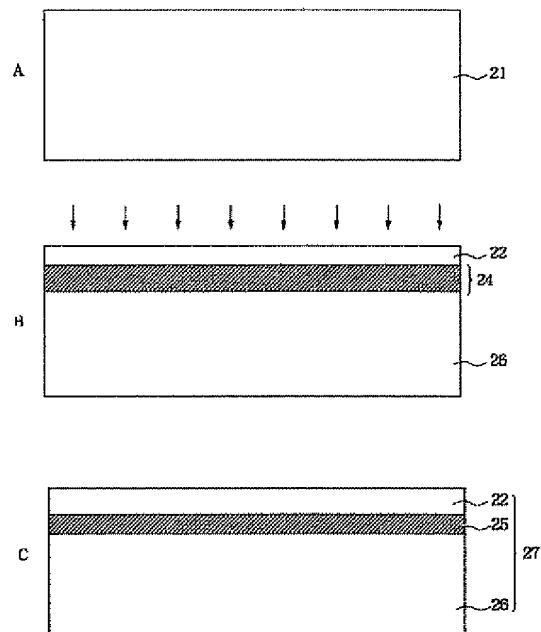
(21) 出願番号	特願平11-183326	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年6月29日 (1999.6.29)	(72) 発明者	坂口 清文 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(31) 優先権主張番号	特願平10-192897	(72) 発明者	佐藤 信彦 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(32) 優先日	平成10年7月8日 (1998.7.8)	(74) 代理人	100069877 弁理士 丸島 儀一
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体基板とその作製方法

(57) 【要約】

【課題】 C Zパルクウエハに起因するCOP等の欠陥のない、あるいは、非常に少ない単結晶シリコン層を有する半導体基板を作製する。

【解決手段】 SOI基板の作製方法において、フローティング・ゾーン法 (FZ法) により作製したSi基体21を用意する工程と、該Si基体21の該主表面側から酸素をイオン注入し、該Si基体中にイオン注入層24を形成する工程と、該Si基体を熱処理して、該種表面側の単結晶Si層の下方に埋め込まれた酸化Si層25を形成する埋め込み酸化Si層形成工程とを有する。



【特許請求の範囲】

【請求項1】 単結晶シリコン基板を用意する工程、該単結晶シリコン基板にイオンを打ち込み、イオン注入層を形成するイオン注入工程、及び該単結晶シリコン基板を熱処理し、該単結晶シリコン基板内部に埋め込み絶縁膜を形成する工程を有する半導体基板の作製方法において、該単結晶シリコン基板がFZ法により作製されており、且つ、該イオン注入工程に先だって、該単結晶シリコン基板上に保護層を形成し、該保護層側からイオンを打ち込むことを特徴とする半導体基板の作製方法。

【請求項2】 該保護層が、該単結晶シリコン基板の熱酸化により形成される酸化シリコン層である請求項1記載の半導体基板の作製方法。

【請求項3】 該保護層が、窒化シリコン層である請求項1記載の半導体基板の作製方法。

【請求項4】 該FZ法が、アルゴンガス及び微量の窒素ガスの混合ガス雰囲気下で行われる請求項1記載の半導体基板の作製方法。

【請求項5】 該イオン注入工程において、打ち込まれるイオンが、酸素、あるいは窒素である請求項1記載の半導体基板の作製方法。

【請求項6】 該イオン注入工程における該単結晶シリコン基板温度が、550℃～650℃の範囲で行われる請求項1記載の半導体基板の作製方法。

【請求項7】 該イオン注入工程が、プラズマ浸漬ドーピング (Plasma Immersion Ion Implantation) により行われる請求項1記載の半導体基板の作製方法。

【請求項8】 該熱処理が、アルゴン及び酸素の混合ガス雰囲気下で行われる請求項1記載の半導体基板の作製方法。

【請求項9】 該熱処理が、1000℃以上1400℃以下で行われる請求項1記載の半導体基板の作製方法。

【請求項10】 該熱処理後に、酸化性雰囲気下での第2の熱処理を該単結晶シリコン基板に行なう請求項1記載の半導体基板の作製方法。

【請求項11】 該イオン注入工程後、該熱処理前に、該単結晶シリコン基板を洗浄する工程を有する請求項1記載の半導体基板の作製方法。

【請求項12】 該埋め込み絶縁膜形成後であって且つ、該単結晶シリコン基板上の保護層除去後、水素を含む還元性雰囲気下での熱処理を該単結晶シリコン基板に行なう請求項1記載の半導体基板の作製方法。

【請求項13】 水素を含む還元性雰囲気下での該熱処理が、800℃以上1350℃以下で行われる請求項12記載の半導体基板の作製方法。

【請求項14】 該埋め込み絶縁膜形成後であって且つ、該単結晶シリコン基板上の保護層除去後、該単結晶シリコン基板表面の化学的機械的研磨を行なう請求項1

記載の半導体基板の作製方法。

【請求項15】 単結晶シリコン基板を用意する工程、該単結晶シリコン基板に酸素イオンを打ち込み、イオン注入層を形成する工程、及び、該単結晶シリコン基板内部に埋め込み酸化シリコン膜を形成する工程を有する半導体基板の作製方法において、該単結晶シリコン基板が、FZ法により作製されており、かつ、該埋め込み酸化シリコン膜形成後、該単結晶シリコン基板を酸化性雰囲気下でITOX処理する工程を有することを特徴とする半導体基板の作製方法。

【請求項16】 該ITOX処理が、1300℃以上シリコンの融点以下で行われる請求項15記載の半導体基板の作製方法。

【請求項17】 単結晶シリコン基板を用意する工程、該単結晶シリコン基板に酸素イオンを打ち込み、イオン注入層を形成する工程、及び、該単結晶シリコン基板内部に埋め込み酸化シリコン膜を形成する工程を有する半導体基板の作製方法において、該単結晶シリコン基板が、FZ法により作製されており、かつ、該埋め込み酸化シリコン膜形成後、該単結晶シリコン基板を少なくとも水素を含む還元性雰囲気下で水素アニールする工程を有することを特徴とする半導体基板の作製方法。

【請求項18】 該イオン注入層を形成する工程に先だって、該単結晶シリコン基板上に熱酸化膜を形成する工程を有する請求項15あるいは17記載の半導体基板の作製方法。

【請求項19】 請求項1から18記載の方法により作製された半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁層上に単結晶半導体層を有する半導体基板の作製方法に関するものである。特に、SIMOX (Separation by Implanted Oxygen) と呼ばれる方法により作製されるSOI基板に関する。

【0002】

【従来の技術】絶縁物上の単結晶Si半導体層の形成は、シリコン オン インシュレーター (SOI) 技術として広く知られ、通常のSi集積回路を作製するバルクSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
 2. 対放射線耐性に優れている、
 3. 浮遊容量が低減され高速化が可能、
 4. ウエル工程が省略できる、
 5. ラッチアップを防止できる、
 6. 薄膜化による完全空乏型電界効果トランジスタが可能、
- 等の優位点が得られる。これらは例えば以下の文献に詳

しい。Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429~590 (1983)。

【0003】さらにここ数年においては、SOIが、MOSFETの高速化、低消費電力化を実現する基板として多くの報告がなされている (IEEE SOI conference 1994)。

【0004】また、支持基板上に絶縁層を介してSOI層が存在するSOI構造を用いると、素子の下部に絶縁層があるので、バルクSiウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。すなわち、高性能化と合わせて、バルクSi上のMOSFET、ICに比べて、ウエハコスト、プロセスコストのトータルでの低価格化が期待されている。

【0005】なかでも、完全空乏型MOSFETは、駆動力の向上による高速化、低消費電力化が期待されている。MOSFETの閾値電圧 (V_{th}) は、一般的にはチャネル部の不純物濃度により決定されるが、SOIを用いた完全空乏型 (FD; Fully Depleted) MOSFETの場合には空乏層厚がSOIの膜厚の影響も受けることになる。したがって、大規模集積回路を歩留まり良くつくるためには、SOI膜厚の均一性が強く望まれていた。

【0006】SOI基板の形成に関する研究は1970年代頃から盛んであった。絶縁物であるサファイア基板の上に単結晶Siをヘテロエピタキシャル成長する方法 (SOS: Sapphire on Silicon) や、多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法 (FIPOS: Fully Isolation by Porous Oxidized Silicon)、貼り合わせ法、酸素イオン注入法がよく研究されている。

【0007】この酸素イオン注入法が、K. Izumiによって始めて報告されたSIMOXと呼ばれる方法である。(K. Izumi, M. Doken and H. Ariyoshi: Electron. Lett. 14, P. 593 (1978))。図9Aに示すようにSiウエハ91に酸素イオンを $10^{17} \sim 10^{18}/\text{cm}^2$ 程度注入する (図9B)。その後アルゴン・酸素雰囲気中で 1320°C 程度の高温でアニールし、酸化層94を形成する (図9C)。その結果、イオン注入の投影飛程 (R_p) に相当する深さを中心に注入された酸素イオンがSiと結合して酸化Si層95が形成され、SOI構造を得るというものである (以降、SIMOXを利用して作製されたSOI基板を「SIMOXウエハ」とい

う。)

【0008】

【発明が解決しようとする課題】SIMOXウエハを作製するシリコン基板としては、一般にCZウエハが用いられている。CZウエハとは、チョクラルスキー (CZochralski) 法により作製される単結晶シリコン基板である。

【0009】このCZウエハには、バルクウエハ特有の欠陥であるCOP (Crystal Originated Particles)、FPD (Flow Pattern Defect) などのGrown-in欠陥が含まれている。

【0010】このCOP (山本秀治、「大口径シリコンウエハへの要求課題」、第23回ウルトラクリーンテクノロジ・カレッジ、(Aug. 1996) やFPD (T. Abe, Extended Abst. Electrochem. Soc. Spring Meeting vol. 95-1, pp. 596, (May, 1995)) のサイズは、およそ $0.1 \sim 0.2 \mu\text{m}$ 程度である。また、CZウエハを用いた場合、OSFと呼ばれる欠陥が発生することもある。

【0011】なお、COP、FPD、OSFの詳細については後述する。

【0012】従来、このCZウエハを用いて超LSIを作製する場合、上述のGrown-in欠陥のサイズに対して充分なマージンをもってデバイスが製造されていたためCOP等がデバイス特性に与える影響はほとんど無かった。

【0013】しかしながら、例えば、DRAMを例にとると、その設計ルールは、16M-DRAMで $0.5 \mu\text{m}$ 、64M-DRAMでは、 $0.35 \mu\text{m}$ と推移してきており、デバイス特性や歩留まりにCOPが与える影響が顕著になってきている。

【0014】とくに、1G-DRAMにおいては、設計ルールは、 $0.1 \sim 0.15 \mu\text{m}$ になるといわれている。

【0015】すなわち、CZウエハを用いてSIMOXウエハを作製したのでは、これらの欠陥が、原因となり、デバイス作製の際の歩留まりを下げってしまうという問題がある。したがって、CZバルクウエハに起因したCOP等の欠陥のない、あるいは、CZウエハに比べて欠陥の非常に少ないSIMOXウエハの作製方法が求められていた。

【0016】

【課題を解決させるための手段】本発明の第1の目的は、従来のSIMOXウエハより高品質のSIMOXウエハとなり得る半導体基材の作製方法を提供することにある。

【0017】また、本発明の第2の目的は、CZバルクウエハに起因したCOP等の欠陥の非常に少ないSi活

性層を有するS I M O Xウエハの作製方法を提供することにある。更にまた、埋め込み酸化膜の質が優れたS O I基板を提供することをも目的とする。

【0018】本発明の半導体基板の作製方法は、F Z法により作製された単結晶シリコン基板を用意する工程、該単結晶シリコン基板にイオンを打ち込み、イオン注入層を形成する工程、及び該単結晶シリコン基板内部に埋め込み絶縁膜を形成する工程を有することを特徴とする。

【0019】本発明は、特に、該F Z法により作製され単結晶シリコン基板に保護膜を形成し、該保護膜側からイオンを打ち込むことを特徴とする。

【0020】また、本発明の半導体基板の作製方法は、F Z法により作製された単結晶シリコン基板を用意する工程、該単結晶シリコン基板にイオンを打ち込み、イオン注入層を形成する工程、該単結晶シリコン基板内部に埋め込み絶縁膜を形成する工程及び該単結晶シリコン基板表面を少なくとも水素を含む還元性雰囲気下で熱処理する工程を有することを特徴とする。

【0021】また、本発明の半導体基板の作製方法は、単結晶シリコン基板を用意する工程、該単結晶シリコン基板に酸素イオンを打ち込み、イオン注入層を形成する工程、及び、該単結晶シリコン基板内部に埋め込み酸化シリコン膜を形成する工程を有する半導体基板の作製方法において、該単結晶シリコン基板が、F Z法により作製されており、かつ、該埋め込み酸化シリコン膜形成後、該単結晶シリコン基板を酸化性雰囲気下でI T O X処理する工程を有することを特徴とする。

【0022】また、本発明は、該イオン注入層の形成に先だって、該単結晶シリコン基板、あるいは保護層を有する単結晶シリコン基板を洗浄することを特徴とする。また、本発明は、該埋め込み絶縁膜形成後、酸化性雰囲気下で熱処理する工程を有することを特徴とする。

【0023】本発明によれば、C O P等のC Zウエハ特有の欠陥のない、あるいは、非常に低減されたS O I基板を得ることができる。

【0024】

【発明の実施の形態】まず、本発明を図1に示すフローチャートを用いて説明する。

【0025】フローティング・ゾーン法(F Z法)により作製された単結晶シリコン基板(以降、「F Zシリコンウエハ」という。)を用意する(S1)。該単結晶シリコン基板に、酸素をイオン注入し、イオン注入層を形成する(S2)。その後、該単結晶シリコン基板を所望の条件下で熱処理し、該単結晶シリコン基板内部に埋め込み酸化膜(BOX: Buried OXide)層を形成する(S3)。こうして、S O I基板が完成する(S4)。

【0026】次に、より具体的に本発明を説明する。

【0027】図2Aに示すように、フローティング・ゾ

ーン法(F Z法)により作製された単結晶シリコン基板21を用意する。

【0028】次に、図2Bに示すように、酸素をイオン注入(打ち込み)し、イオン注入層24を形成する。該単結晶シリコン基板21の内、該イオン注入層24の上部領域を22、下部領域を26とする。なお、図2中の上部下部領域とイオン注入層24との界面は、実際には、はっきりしていない。

【0029】その後、所望の熱処理を行なうことで、イオン注入層24を利用して埋め込み酸化膜(BOX)層25を形成する(図2C)。

【0030】こうして、BOX層25上に単結晶シリコン層(S O I層)22を有するS O I基板27が得られる。

【0031】F Z法により作製された単結晶シリコン基板(F Zシリコンウエハ)は、C Zウエハに比べて、バルクウエハ特有のC O PやF P DなどのG r o w n - i n欠陥が非常に少ない。従って、当該F Zウエハを用いることにより、S O I層22にC O P等の欠陥を含まない、あるいはそれらの数が、通常のC Zウエハに比べて非常に少ない高品質のS I M O Xウエハを得ることが可能になる。また、シリコンウエハ上あるいは、内部へのO S Fの発生も防ぐことができる。

【0032】ここで、O S F(酸化誘起積層欠陥)とは、結晶ウエハの成長時にその核となる微小欠陥が導入され、酸化工程により顕在化するものである。例えば、ウエハ表面をウェット酸化することによってリング状のO S Fが観察される場合がある。

【0033】また、熱処理をしないで観察できるC O P、F P Dは、同一の原因による欠陥と考えられており、両者に厳密な定義規定はないものの、凡そのC O Pとは、R C A洗浄液の要素液の一つであるS C - 1($\text{N H}_4 \text{ OH} / \text{H}_2 \text{ O}_2$)液にウエハを浸潤した後、光散乱を利用した微粒子検出器や異物検査送致で検出できるエッチピットを指し、後者のF P Dは、S e c c o液($\text{K}_2 \text{ Cr}_2 \text{ O}_7 / \text{H F} / \text{H}_2 \text{ O}$)に30分程度浸漬した後、光学顕微鏡で観察されるエッチピットをいうものとされている。

【0034】(F Zシリコンウエハ) F Zシリコンウエハとは、図8に示すように誘導加熱コイル81によりシリコン原料棒82を加熱溶解して溶解部83を前記原料棒82の下端から上端まで移動させる工程(以下、「F Z工程」という。)を行なうことにより得られる単結晶シリコンウエハである。もちろん、上下間の移動が2度以上行われる場合もある。

【0035】C Zシリコンウエハは、ウエハの作製過程における石英つぼの溶解により $4 \times 10^{17} \sim 2 \times 10^{18} \text{ atoms/cm}^3$ 程度の酸素が添加されている。これに対して、F Zシリコンウエハでは、条件にもよるが、およそ $1 \times 10^{16} \text{ atoms/cm}^3$ 以下の非常に

酸素濃度の低いウエハとなっている。そのため、FZシリコンウエハは、熱処理を受けても結晶欠陥を発生させることが少ない。一方で、FZシリコンウエハは酸素濃度が極めて低いので、熱処理により反りや振れが生じ易い場合がある。これを解決するためには、例えば特公平3-41437号公報記載のように雰囲気ガス（例えば、アルゴンガス）中に微量（容積比0.05～5%）の窒素ガスを混入させることによりシリコンウエハの機械的強度を上げることができる。また、特開昭59-137393号公報記載のように、窒素雰囲気中でシリコン多結晶棒に窒素を拡散させることによりシリコン単結晶の窒素濃度を均一化することも好ましい。

【0036】なお、特開平8-14590号公報に記載のように、該FZ工程においては、該誘導加熱コイル81の上面側及び／または下面側にリング状部材を設け、該リング部材の内周縁を前記シリコン原料棒が溶融した溶融帯83に挿入し、該FZ工程を行なうことも好ましい。FZ工程中に、原料棒から剥離した多結晶粒を該リング状部材で受け止めることにより、該多結晶粒の成長界面への再付着を防止することができ、高品質の単結晶シリコンを生産効率を上げて作製することが可能になる。このリング状部材は、石英、サファイヤ、または窒化珪素から構成されることが好ましい。

【0037】また、FZ工程において、静磁場を印加することも好ましい。この場合、溶融帯に印加する静磁場は、垂直磁場でも水平磁場でも良い。特に、シリコン単結晶棒の成長軸方向に形成される垂直磁場と該垂直磁場と交差して形成される水平磁場を同時に印加することも好ましい。

【0038】なお、FZ法における不純物のドーピング方法としては、ノズルを用いて溶融帯域にホスフィン（ PH_3 ）、 B_2H_6 等を含むアルゴンガスを吹き付けることにより行うことができる。

【0039】なお、ウエハ内における低効率の均一化として、中性子照射（たとえば、特開平6-104199号公報）を用いることも好ましいものである。

【0040】また、FZシリコンウエハ表面における、COPあるいはFPDが、単位ウエハあたり、0から10個程度のウエハを用いることが好ましい。

【0041】FZシリコンウエハの導電型の種類は、p型でも、又n型であってもよい。また比抵抗は所望のものを用いることができる。とくに高抵抗のFZシリコンウエハを用いることにより、高周波デバイス作製用基板として好適に用いることができる。とくにBOX層25と下部領域26との界面近傍の比抵抗が、 $50\Omega \cdot \text{cm}$ 以上、好ましくは $100\Omega \cdot \text{cm}$ 以上、更に好ましくは $300\Omega \cdot \text{cm}$ 以上になるように、比抵抗を適宜選択することが好ましい。

【0042】また、SOI基板を利用して、MOSTランジスタ等を作製する場合には、BOX層とLOCOS

(LOCAl Oxidation of Silicon) 酸化膜により完全に分離されるので、デジタル部とアナログ部のノイズの干渉が低減される。

【0043】従って、本発明により得られるSOI基板は、アナログ回路部、ディジタル回路部、高周波部品の1チップ化にも好適に用いることができる。

【0044】（保護層）FZシリコン基板21への酸素イオンの注入工程に先だて、該基板上に保護層を設けることも好ましいものである。該保護層側からイオン注入を行なうことにより、注入工程にともなう基板の表面荒れを防止することができる。

【0045】保護層としては、該FZシリコン基板21の表面を酸化あるいは窒化することにより得られる、酸化シリコン層あるいは窒化シリコン層を用いることができる。

【0046】熱酸化により、基板上に酸化シリコン層を形成する場合には、ドライ酸化、ウェット酸化、スチーム酸化、パイロジェニック酸化、酸素分圧酸化、塩酸酸化等の方法により行なうことができる。

【0047】もちろん、熱CVDやプラズマCVDなどにより、あるいはPVDにより酸化シリコン膜や窒化シリコン膜を基板上に堆積させることにより保護層としてもよい。

【0048】保護層の厚さとしては、数nm～数 μm 程度が好ましい。

【0049】（イオン注入層）酸素イオン注入工程の際の加速電圧は、1KeVから10MeVの範囲で行なうことができるが、加速電圧によりイオン注入層の厚さが変化するため、所望の条件を満たすよう数10KeVから500KeV程度で行なうことが好ましい。

【0050】注入線量は、 $1.0 \times 10^{18}/\text{cm}^2 \sim 1.0 \times 10^{19}/\text{cm}^2$ 、より好ましくは $5.0 \times 10^{16}/\text{cm}^2 \sim 5.0 \times 10^{18}/\text{cm}^2$ の間である。注入に要する時間を短縮したい場合には、 $5.0 \times 10^{16}/\text{cm}^2$ から $5 \times 10^{17}/\text{cm}^2$ の範囲で行なうことが好ましい。そして、必要に応じて、ITOX処理等を施すことにより、絶縁膜耐圧を上げる。

【0051】イオン注入時の温度は、 -200°C から 600°C の間で行なうことが好ましく、より好適には 0°C から 600°C 以下で、更に好ましくは室温～ 600°C 以下で行なうことが望まれる。

【0052】また、シリコン層の結晶性維持の観点から、及び、電流リークの少ない良好な埋め込み酸化膜を得るため、注入中の基板温度は、 550°C から 650°C の範囲であることが好ましい。

【0053】シリコン基板への酸素のイオン打ち込みは、通常はイオン源で作製した種々のイオンのうち、酸素イオン（ O^+ ）を質量分離装置で選択し、この選択された O^+ イオンを所望の加速電圧で加速した後、加速により得られたイオンビームでシリコン基板にイオン注入

する。この時、基板全面にイオンを注入するためイオンビームを走査しながらシリコン基板への注入工程を行なう。もちろん、この方法に限定されるものではない。

【0054】一方、酸素のイオン注入工程を、プラズマ浸漬・ドーピング (Plasma Immersion Ion Implantation) にて行なうことも好ましいものである (Jingbao Liu, et al., Appl. phys. Lett, 67, 2361 (1995))。

【0055】この場合、ビーム状ではなく、大面積への一括照射が可能であるため、酸素イオン打ち込みに要する時間の削減とともに、低コスト化を図ることも可能である。もちろん、低エネルギーイオン注入、放射ガス浸漬レーザードーピング (PGILD)、高速ガス浸漬ドーピング等により行なうこともできる。

【0056】また、SOI基板における絶縁層として酸化シリコン層ではなく、窒化シリコンが求められる場合には、酸素イオンを打ち込む代わりに、窒素イオンを打ち込むことも可能である。

【0057】また、注入線量および/または注入エネルギー (加速電圧) を段階的に変化させ、複数回のイオン注入工程を行なうこともできる。注入エネルギーを変化させる場合には、2回目の注入エネルギーを1回目の注入エネルギーより小さくすることが好ましい。

【0058】複数回のイオン注入を行なう場合には、シリコン基板へ打ち込まれるイオン種を変えることもできる。2度のイオン注入工程を行なう場合には、まず第1にイオンのイオン注入を行ない、その後、第1のイオンよりも軽い第2のイオンのイオン注入を行なうことが好ましい。例えば、第1のイオンとして、酸素イオン、第2のイオンとして水素イオンである。

【0059】なお、イオン注入層形成工程前に、シリコン基板上面に保護層を形成していない場合は、イオン注入層形成工程後にシリコン基板表面に保護層を形成することも好ましいものである。この場合、BOX層形成時の高温熱処理による基板の表面荒れを防止することができる。

【0060】(BOX層の形成) 埋め込み酸化膜であるBOX層25形成時の熱処理雰囲気としては、酸素、窒素、Ar, He, Ne, Xeから選択されるガスを主成分とする雰囲気であり、より好ましくは酸素を不活性ガスで希釈したガス雰囲気 (例えば、アルゴン・酸素の混合ガス雰囲気) である。たとえば、アルゴンガスに、1%以下の酸素を添加した、非酸化性雰囲気である。

【0061】また、水素を含む還元性雰囲気中で熱処理を行ない、BOX層を形成することもできる。

【0062】BOX層形成時の熱処理温度としては、600℃以上シリコンの融点以下、好ましくは800℃以上シリコンの融点以下、更に好ましくは1000℃以上1400℃以下である。なお、水素を還元性雰囲気中で

BOX層を形成する場合には、特に800℃以上1350℃以下で行なうことが好ましい。

【0063】但、BOX層となる領域自体が還元されるのを抑える場合には、800℃以上1000℃以下で行なうことが好ましい。

【0064】BOX層形成時の熱処理時間は、0.5時間以上20時間以下、好ましくは2時間以上10時間以下である。製造コスト下げるためにはなるべく短時間で行なうことが好ましいが、均一かつ連続したBOX層を形成すべく、熱処理時間を規定することが望まれる。

【0065】BOX層形成時の圧力としては、大気圧下、減圧下、高圧下で可能である。

【0066】また、酸素イオンの注入量が少ないと、BOX層を形成した場合に、電流のリークがおきてしまう場合がある。

【0067】この電流リークを避けるには、打ち込まれる酸素イオン量を多くすることも考えられるが、注入量の増大にともない、大幅に注入に要する時間が増大してしまう。

【0068】そこで、注入量を増やさず、十分な厚さのBOX層を形成するためには、ITOX (Internal Thermal Oxidation) 法を用いることが好ましい。本発明にこのITOX法を用いた場合について図7A~7Eを用いて説明する。

【0069】まず、図7Aに示すようにFZシリコンウエハ71を用意する。該FZシリコンウエハに酸素イオンを注入し、イオン注入層74を形成する (図7B)。

【0070】その後、必要に応じて洗浄工程を経た後、非酸化性雰囲気下でアニールを行なう。この場合熱処理に伴う面荒れ防止のため、前述の非酸化性雰囲気には、1%以下の酸素を添加しておくことが望ましい。もちろん、所望のBOX層が得られれば、必ずしも非酸化性雰囲気に限られるものではない。

【0071】この非酸化性雰囲気アニールにより、イオン注入がもたらした結晶の乱れを回復させるとともに、埋め込み酸化膜 (BOX層) 75の形成を行なう (図7C)。その後、ITOX処理と呼ばれる、熱酸化工程を伴う高温アニールを行なう (図7D)。このITOX処理により、埋め込み酸化シリコン層75を、酸素イオン注入工程によらないで、追加的に成長させることができる。78は、酸化シリコン膜である。このITOX処理は、酸化性雰囲気 (たとえば酸素とアルゴンの混合雰囲気) にて行ない、結晶性回復および埋め込み酸化膜品質の観点から1200℃以上、より好ましくは1300℃以上シリコンの融点以下で行なうことが好ましい。

【0072】このITOX工程を用いることにより、BOX層の品質向上とともに、極薄のSOI層72の形成も可能となる。

【0073】その後、必要に応じて、表面酸化シリコン膜78を除去することにより、SOI基板が完成する

(図7E)。なお、図7Aにおいては、記載していないが、イオン注入工程前に、保護層を形成しておくことも好ましいものである。

【0074】なお、BOX層形成することによりSOI基板が得られるが、SOI層22や72の表面が荒れている場合には、必要に応じて、表面酸化膜を除去した後SOI層表面の平坦化工程を行なうことが好ましい。

【0075】具体的には、化学的機械的研磨(CMP)や水素アニールにより平坦化を行なう。CMPを行なう際の、研磨剤としては、シリカガラス(borosilicate glass)、二酸化チタン、窒化チタン、酸化アルミニウム、硝酸鉄(iron nitrate)、酸化セリウム、コロイダルシリカ、窒化シリコン、炭化シリコン、グラファイト、ダイヤモンドなどの研磨粒、あるいはこれら研磨粒と H_2O_2 や KIO_3 などの酸化剤やNaOH、KOH等のアルカリ溶液を混合した砥粒液を用いることができる。

【0076】水素アニールによりSOI層表面の平坦化を行なう場合には、その雰囲気は、100%水素ガス、あるいは水素と希ガス(Ar、Ne等)の混合ガスで行なうことができる。水素アニールの際、SOI層内に含まれる珪素やリンが外方拡散するので、SOI層の高抵抗化を図ることができる。

【0077】水素アニール時の温度は、800℃以上1350℃以下、より好ましくは850℃以上1250℃以下で行なうことが望ましい。

【0078】水素アニール時の水素を含む還元性雰囲気中の圧力は、大気圧、減圧のいずれの雰囲気でも構わないが、大気圧若しくは大気圧(1×10^5 Pa)以下、 1×10^4 Pa以上で行なうことが好適である。また大気圧に大して-100mm H_2O 程度の微減圧下で行なうこともより好適である。

【0079】水素アニールに用いる炉としては、通常用いられる縦型熱処理炉や、横形熱処理炉を用いることができる。ヒーターとしては、抵抗加熱器や高周波加熱器等を用いることができる。

【0080】あるいはRTA(Rapid Thermal Annealing)に用いられる熱放射を利用するランプ加熱により行なうこともできる。この場合のラピッドアニール装置としては、ハロゲンランプ、アークランプなどにより赤外線アニール装置、キセノンフラッシュランプなどによるフラッシュランプアニール装置などが用いられる。特にランプ加熱による場合は、短時間で水素アニールが可能となる。

【0081】水素アニールに要する時間としては、数秒〜数十時間、より好ましくは数秒から数時間で行なうことができる。

【0082】また、FZシリコンウエハ21上に保護層を形成している場合には、BOX層25形成後、保護層は必要に応じて除去する。当該保護層の除去は、研磨、

研削、CMPやドライエッチング、ウェットエッチング(この場合エッチャントとしては、ふつ硝酸系、エチレンジアミン系、KOH系、ヒドラジン系を用いることができる。また、フッ酸、あるいはフッ酸に過酸化水素及びアルコールの少なくとも一方を添加した混合液や、バッファードフッ酸に過酸化水素及びアルコールの少なくとも一方を添加した混合液を用いることができる。)により行なう。

【0083】(実施態様例1)図3A〜3Dは、本発明の実施態様例1の工程を示す模式断面図である。

【0084】まず、Si基体としてのフローティング・ゾーン法(FZ法)により作製された単結晶Siウエハからなる基板31を用意する。さらに、必要に応じて基板の表面上に絶縁層33を形成してもよい(図3A)。

【0085】次に、基板31の主表面側から、酸素イオンをイオンを注入する。こうして、イオン注入層34により、下部領域36上部領域32とが基板31に形成される(図3B)。

【0086】次に、図3Cに示すように、基板31を熱処理し、埋め込み酸化膜35を形成する。

【0087】こうして酸化膜35上に単結晶シリコン層32を有するSOI基板37が完成する。

【0088】酸化Si層35上に残った単結晶Si層32はFZ法により形成されたものである為、FPDやCOPの発生が抑制されている。

【0089】そして、表面の酸化膜33を除去すれば図3Dに示すように本発明により半導体基材(SIMOXウエハ)が得られる。もちろん、表面汚染を避けるため表面酸化膜33は、デバイスプロセス直前まで除去しなくてもよい。こうして得られた単結晶Si層32は酸化Si層35を介して平坦に、しかも均一に薄層化されて、ウエハ全域に、大面積に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0090】さらに、必要に応じて表面酸化膜33を除去した後、水素を含む還元性雰囲気中で熱処理(水素アニール)しても良い。本熱処理により、表面のラフネスがより平滑化される。この熱処理による平滑化方法は、ケミカルエッチング作用より機械的研磨作用の強いタッチポリッシング(Touch Polishing)を用いずに表面を平滑化できるので、表面に微小なスクラッチなどが導入されない。

【0091】又、単結晶層中に珪素が比較的多く含まれる場合、上記水素アニールにより基材の外に珪素が外方拡散する結果、単結晶層中の珪素濃度を低減することが可能である。

【0092】本発明に用いられる出発材料としての基板31はFZ法により作製したものであるため、CZシリコンウエハを用いて、作製されたSIMOXウエハに比べ、COP等の欠陥の非常に少ないSOI層32を得る

ことができる。

【0093】本発明に用いられる酸素イオンの注入量（ドーズ量）は、 $1 \times 10^{16} \text{ cm}^{-2}$ 乃至 $1 \times 10^{19} \text{ cm}^{-2}$ 、より好ましくは、 $5 \times 10^{16} \text{ cm}^{-2}$ 乃至 $5 \times 10^{18} \text{ cm}^{-2}$ 、更に好ましくは、 $4 \times 10^{17} \text{ cm}^{-2}$ 乃至 5×10^{18} である。

【0094】酸素イオン注入後に酸化Si層を形成する時の熱処理雰囲気としては、酸素、窒素、Ar、He、Ne、Xeから選択されるガスを主成分とする雰囲気であり、より好ましくは酸素を不活性ガス（例えば、アルゴン）で希釈したガス雰囲気が好ましく用いられる。

【0095】埋込み酸化Si層形成時の熱処理温度は、 1250°C 以上、より好ましくは、 1300°C 以上単結晶Siの融点未満である。

【0096】熱処理時間は、2時間以上より好ましくは4時間以上である。

【0097】これは、熱処理時間が短すぎると埋込酸化膜の形成が不十分になってしまうためである。

【0098】又、より好ましくは、一度イオン注入熱処理して酸化Si層を形成した後、洗浄工程、イオン注入工程、熱処理工程を少なくとも1回以上くり返し行うとよい。

【0099】これにより電流リークの非常に抑制された均質な埋込酸化Si層を形成できる。

【0100】本発明に用いられる平滑化の為の熱処理時の還元性雰囲気としては、100%水素、或いは水素と不活性ガスとからなる還元性雰囲気が用いられる。使用される不活性ガスとしては、He、Ar、Ne、Xe、 N_2 等である。

【0101】熱処理時間はSi基体の大きさや熱処理により欠陥が除かれる表面層の厚さにもよるが、10分以上より好ましくは1時間以上である。

【0102】（実施態様例2）本発明の第2の実施態様例について、まず図4のフローチャートを用いて説明する。

【0103】FZシリコンウエハを用意する（S1）。該FZシリコンウエハ上に保護膜形成後、該FZシリコンウエハに酸素を該保護膜側からイオン注入し、イオン注入層を形成する（S2）。その後、該単結晶シリコン基板を所望の条件下で熱処理し、該単結晶シリコン基板内部にBOX層を形成する（S3）。ここまでは、図1のフローチャートと同様である。なお、工程（S2）においては、必要に応じて保護膜形成工程を省略することもできる。

【0104】本実施態様例においては、BOX層形成後、FZシリコンウエハを洗浄する（S4）。そして、再度イオン注入層を形成する（S5）。その後、（S3）と同様に、再度熱処理を行ないBOX層を形成する（S6）。こうしてSIMOXウエハが完成する（S7）。イオン注入の際、基板表面にパーティクルが存在

するとそこがマスクとなってしまう、イオン注入層が形成されない領域ができてしまうことがある。本実施態様例のように一旦BOX層を形成した後、シリコン基板表面を洗浄し、再度酸素イオン注入することにより酸素イオンの注入ムラを防止することができる。

【0105】図4においては、イオン注入工程を2度行なう場合を示したが、必要に応じてイオン注入工程は、何度でも行なうことが可能である。また、工程（S1）後、工程（S2）前にシリコン基板を洗浄しておくこともまた好ましいものである。

【0106】また、BOX層形成の為熱処理（S3、S6）は最後のイオン注入工程が終了してから一度だけ行っても良い。

【0107】図5A～図5Fは、本発明の実施態様例2の工程を示す模式断面図である。

【0108】図5Aにおいて、まず、Si基体としてFZ法により作製された単結晶シリコンウエハ51を用意する。さらに、必要に応じて基板51の表面上に酸化Si層53を形成しておいた方が、イオン注入時の表面荒れを防ぐという意味でも良い（図5B）。

【0109】次に、基板51の主表面から、酸素イオンをイオン注入する図5C。ここで、59は基板上のパーティクルを模式的に示したものである。イオン注入層54は、基板51の下部56と上部領域52との間に存在するように基板51内部に形成される。もちろん、保護層53が形成されている場合は、該保護層53側からイオンを打ち込むことが望ましい。

【0110】次に、図5Dに示すように、基板57を熱処理して、イオン注入層54を酸化Siに変えて埋込酸化Si層（BOX層）55を形成する。

【0111】（多段注入：Multi-I/I）その後基板57を洗浄し、再び上記工程と同様にイオン注入工程（図5E）と熱処理を工程（図5F）を行う。

【0112】先のイオン注入時に、ウエハ表面にパーティクルがあると、それがマスクになりイオン注入されない領域（図5D）ができることがある。しかし、このように間に洗浄工程をはさんでイオン注入を再び行えば、そのような、BOX層が不均一になることを防止することができる。

【0113】又、更に洗浄を行った後、3回目のイオン注入、3回目の熱処理を行うことも好ましいものである。

【0114】こうして、洗浄、イオン注入、熱処理を複数回くり返し行えば、良質の埋込酸化層57が得られる。

【0115】さらに、表面酸化膜53を除去した後、水素を含む還元性雰囲気で熱処理すれば表面ラフネスが数nm以下の平滑な表面が得られる。

【0116】（実施態様例3）図6A～図6Eは、本発明の実施態様例3の工程を示す模式断面図である。

【0117】図6Aにおいて、まず、Si基体としてFZ法により作製された単結晶Siウエハからなる基板61を用意する。必要に応じて基板61の表面上に酸化Si膜などの、保護層63を形成し、イオン注入時の表面荒れを防いでも良い。

【0118】次に、図6Bのように基板61の主表面から、酸素イオンをイオン注入してイオン注入層64を形成する。保護層63を形成している場合には、該保護層63側から、イオンを打ち込む。

【0119】次に、図6Cに示すように、基板を熱処理することにより、埋込酸化Si層65を形成する。もちろん、当該熱処理前に、所望の洗浄工程を行ってもよい。なお、保護層63は、イオン打込み後、必要に応じて除去しておいてもよい。

【0120】(ITOX工程)その後、基板67を酸化性雰囲気中で熱処理する(図6D)。

【0121】この酸化性雰囲気中での熱処理により単結晶Si層62の表面に再び表面酸化膜が形成されるだけでなく内部の埋込酸化膜65の厚さも厚くなり、埋込酸化Si膜65の信頼性が向上する。従って単結晶Si層の厚さは、より薄くなり単結晶Si薄層62が得られる(図6E)。

【0122】酸化雰囲気は酸素と不活性ガスにより構成することが望ましい。表面の酸化膜形成速度を抑制し、内部の酸化膜厚の増加を促進するには、雰囲気中の酸素濃度を下げ、熱処理温度を上げることが望ましい。

【0123】そして、表面酸化膜63を除去すると埋込酸化Si膜65上に欠陥の少ない単結晶Si薄層62を有する半導体基板が得られる。こうして作製されたSiMOXウエハは、FZ基板をもとに作製されているので、COP等の非常に少ない、SOZ層が得られる。

【0124】さらに、表面酸化膜63を除去した後、前述したように水素を含む還元性雰囲気中熱処理しても良い。この熱処理により、表面を表面ラフネスが数nm以下に平滑化できる。

【0125】図8は、FZ法による単結晶Si基体の作製法の原理を示す図である。

【0126】直径100mm〜300mmの円筒状の結晶シリコンインゴット82の周囲にリング状の発熱体81を配し、この発熱体81を上下に移動させる。発熱体81により帯状に熔融したSi83は表面張力によって保持され円柱状に単結晶化する。この単結晶Siインゴットをディスク状にスライスし研磨することによりFZSiウエハが出来る。発熱体としてのコイルには、例えば、高周波発振器から熔融コイルに、1〜3MHzの高周波電力を供給することより行なう。

【0127】このように、FZ法により、単結晶シリコンを作製する場合には、CZ法における石英のつばのように、他の物質に触れることがないので、基板自体が酸素、ボロン、アルミ等に汚染されにくい。

【0128】(実施例1)シリコン基体として、FZ法により作製された8インチの単結晶シリコン基板(FZシリコンウエハ、p-Si(100))と、比較のためにCZシリコンウエハの2枚を用意した。

【0129】酸素イオンを加速エネルギー180KeVで $1.5 \times 10^{18} \text{ cm}^{-2}$ のイオン打ち込み(イオン注入)を行なった。打ち込み時の基板の温度は、550℃とした。

【0130】その後、それぞれの基板をO₂(10%) / Ar(90%)雰囲気中で1350℃、4時間の熱処理を行なった。

【0131】単結晶Si半導体層(SOI層)179nm / 埋め込み酸化Si層(BOX層)400nmのSiMOXウエハ(SOIウエハ)がそれぞれ出来上がった。

【0132】その後、SOI層表面のCOPを検出するため、SOIウエハをSC-1洗浄液(1.0wt%のNH₄OHと、6.0wt%のH₂O₂と水との混合液)で10分間処理した。そして、表面パーティクル検査機(KLA-Tencor社製SP-1)を用いてSOIウエハ表面のCOP(0.1〜0.2μ程度)の数をカウントした。

【0133】CZシリコンウエハを基に、形成されたSOI層表面においては、単位ウエハ当たり200個であった。なお、本実施例における「単位ウエハ当たり」とは、「ウエハの面積当たり」と意味し、例えば、8インチの場合、単位ウエハ当たりというときには、およそ24cm²当たりのCOPの数である。

【0134】一方、FZシリコンウエハを用いて、SOI基板を作製した場合においては、単位ウエハ当たりのCOPは、カウントされなかった。このように、CZ-Si基板に起因する欠陥であるCOPが、実質的にないSOIウエハを得ることができた。

【0135】また、酸素イオン注入工程前にSi基体表面を酸化し保護層を形成しておく、イオン打ち込みによる表面荒れを効果的に防ぐことができる。

【0136】BOX層形成後、さらに水素アニールを施すことにより、より一層のCOP等の欠陥の低減を図ることもできる。

【0137】なお、イオン注入層形成に先だって、シリコン基板表面を熱酸化し、保護層としての酸化シリコン層を形成しておくことも好ましい。通常のCZウエハ表面を熱酸化して酸化シリコン層を形成すると、ウエハ中にOSF(酸化誘起積層欠陥)が生じることがあり、その欠陥がSOI層になる領域にあれば、SOI層の品質に影響を及ぼしてしまう。しかし、本発明においては、FZシリコンウエハの表面を酸化するので、OSFの導入を防止することができる。

【0138】これは、CZウエハに比べFZウエハの基板表面の酸素濃度が低いためと考えられる。また、CZ

ウエハでは、ウエハ内部にもCOPが存在するため、BOX層形成時の熱処理により、注入された酸素がCOPの周囲にも集まる場合がある。そして、より巨大なCOP(欠陥)となり、それがSOI層に存在する場合には、デバイス特性を悪化させる恐れがある。

【0139】これに対して、FZウエハの場合には、ウエハ内部にCOPがほとんど存在しないので、打ち込まれた酸素によりCOPが増大することもなく、高品質のSOI基板となり得る。

【0140】(実施例2) Si基板としてFZ法により作製された単結晶Si基板を用意した。

【0141】さらに、これらSi基板の表面を熱酸化して50nmの表面酸Si膜を形成した。この酸化膜は、イオン注入時の表面荒れを防止することが目的である。

【0142】表面の酸化Si膜を通して O^+ を180keVで $2 \times 10^{16} \text{ cm}^{-2}$ イオン打ち込み(イオン注入)した。打ち込み時の温度は、550℃とした。これによって基板表面から、400nm付近に濃度ピークを持つイオン注入層が形成された。

【0143】この後、基板を O_2 (10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行なった。表面酸化膜を除去すると、単結晶Si半導体層(SOI層)150nm / 埋め込み酸化Si層400nmのSOIウエハが出来上がった。

【0144】このSOI層は、FZ法により作製されたFZウエハの欠陥の少ない単結晶Si層の一部であるので、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的になかった。

【0145】完成したSOI基板を49%HF溶液中に15分浸漬したのち光学顕微鏡で観察した。SOI層にCOPが内在する場合には、HFからCOP部を通して酸化Si層をエッチングし、円状に酸化Si層から溶解されたHF Voidが観察される。本例の場合には、HF Voidは $0.05 \mu\text{m}^2 / \text{cm}^2$ であった。

【0146】(実施例3) 実施例1と同様にFZシリコンウエハを用意した。

【0147】表面の酸化Si層を通して O^+ を180keVで $2 \times 10^{17} \text{ cm}^{-2}$ イオン注入した。注入時の温度は、550℃とした。

【0148】この後、基板を O_2 (10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行なった。できた埋め込み酸化Si膜は100nm程度の厚みであった。

【0149】このウエハを洗浄した後、再度 O^+ を180keVで $5 \times 10^{17} \text{ cm}^{-2}$ イオン注入し、同様の熱処理を行なった。この洗浄→注入→熱処理を酸素の全注入量が $2 \times 10^{18} \text{ cm}^{-2}$ になるまで繰り返した。

【0150】表面酸化膜を除去すると、SOI層150nm / 埋め込み酸化Si層400nmのSOIウエハが出来上がった。

【0151】このSOI層は、元々FZ法により作製されたFZウエハ層の一部であるので、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的になかった。

【0152】(実施例4) 実施例1と同様にFZ-Siウエハを用意した。

【0153】さらに、表面の単結晶Si層(SOI層)表面に熱酸化により50nmの酸化Si膜を形成した。

【0154】表面の酸化Si膜を通して O^+ を180keVで $4 \times 10^{17} \text{ cm}^{-2}$ イオン注入した。注入時の温度は550℃とした。

【0155】この後、基板を O_2 (10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行ない、イオン注入層を埋め込み酸化Si層にした。こうしてSOI層300nm / 埋め込み酸化Si層90nmのSOIウエハが出来上がった。

【0156】この後、更に、 O_2 (70%) / Ar(30%) 雰囲気中で1350℃-4時間の熱処理を行なった。SOI層上の表面酸化膜を除去すると、SOI層200nm / 埋め込み酸化Si層120nmのSOIウエハが出来上がった。

【0157】このSOI層は、元々FZウエハの単結晶Si層の一部であるので、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的になかった。

【0158】(実施例5) FZ法により作製されたSiウエハを用意した。

【0159】さらに、この基体の表面に熱酸化により50nmの酸化シリコン膜を形成した。

【0160】ウエハ表面の酸化シリコン膜を通して O^+ を180keVで $4 \times 10^{17} \text{ cm}^{-2}$ イオン注入した。注入時の温度は、550℃とした。

【0161】この後、このウエハを O_2 (10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行なった。SOI層300nm / 埋め込み酸化膜90nmのSOIウエハが出来上がった。

【0162】この後、更に O_2 (70%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行なった。ウエハ表面の酸化膜を除去すると、SOI層200nm / 埋め込み酸化膜120nmのSOIウエハが出来上がった。

【0163】このSOI層にはCZ-Si基板に起因するCOP、FPD等の欠陥がみられなかった。

【0164】(実施例6) 比抵抗 $0.01 \Omega \cdot \text{cm}$ のP⁺型FZ-Siウエハを用意した。

【0165】さらに、FZウエハの表面に熱酸化により50nmのSiO₂層を形成した。

【0166】表面の酸化Si膜を通して O^+ を180keVで $2 \times 10^{18} \text{ cm}^{-2}$ イオン注入した。注入時の温度は、550℃とした。

【0167】この後、基板を O_2 (10%) / Ar(90%) 雰囲気中で1350℃、4時間の熱処理を行なっ

た。表面酸化Si膜を除去すると、SOI層150nm/埋め込み酸化膜400nmのSOIウエハが出来上がった。

【0168】このSOI層は、元々FZウエハの一部であるので、CZ-Si基板に起因するCOP、FPD等の欠陥は実質的にはなかった。

【0169】この後、SOIウエハをパラジウム合金を用いた水素生成器で純化された高純度水素100%雰囲気中で熱処理を行なった(1100℃、4h)。この後SOIウエハの表面ラフネスを測定したところ熱処理前のRrms=0.5nmが0.3nmに改善されていた。またこのSOIウエハの酸素濃度もSOI層中で熱処理前に $2 \times 10^{18} / \text{cm}^3$ であったものが、熱処理後 $5 \times 10^{15} / \text{cm}^3$ 以下に低減されていた。

【0170】

【発明の効果】以上説明したように、本発見によりCZシリコンウエハに固有のCOP等の欠陥のないあるいは、非常に少ないSOI層を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体基板の作製方法の一例を示すフローチャートである。

【図2】A～Cは、本発明の半導体基板の作製方法の一例を示す模式的断面図である。

【図3】A～Dは、本発明の第1の実施形態を示す模式的断面図である。

【図4】本発明の第2の実施形態を示す模式的断面図である。

【図5】A～Fは、本発明の第2の実施形態を示す模式的断面図である。

【図6】A～Eは、本発明の第3の実施形態を示す模式的断面図である。

【図7】A～Eは、本発明の半導体基板の作製方法の一例を示す模式的断面図である。

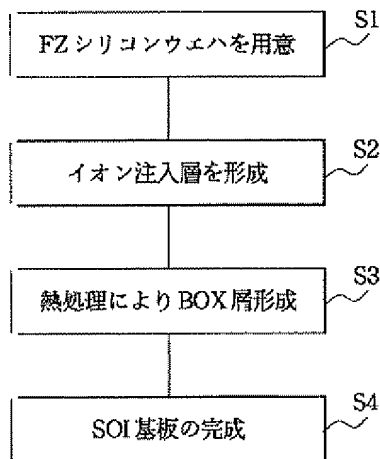
【図8】FZシリコンウエハの作製工程の一例を示す模式的断面図である。

【図9】A～Cは、従来のSIMOXウエハの作製工程を説明するための模式的断面図である。

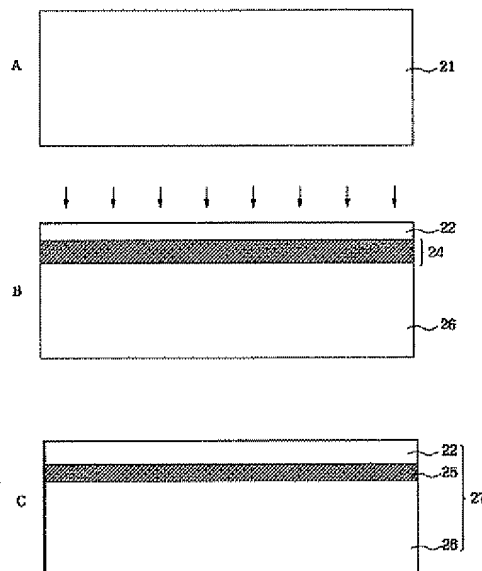
【符号の説明】

- 21、31、51、61、71 FZシリコンウエハ
- 24、34、54、64、74、94 イオン注入層
- 25、35、55、65、75、95 埋め込み絶縁層
- 33、53、63 保護層
- 78 酸化シリコン
- 81 発熱体
- 82 シリコンインゴット
- 83 熔融シリコン
- 91 シリコン基板
- 92 SOI層

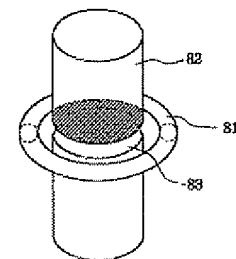
【図1】



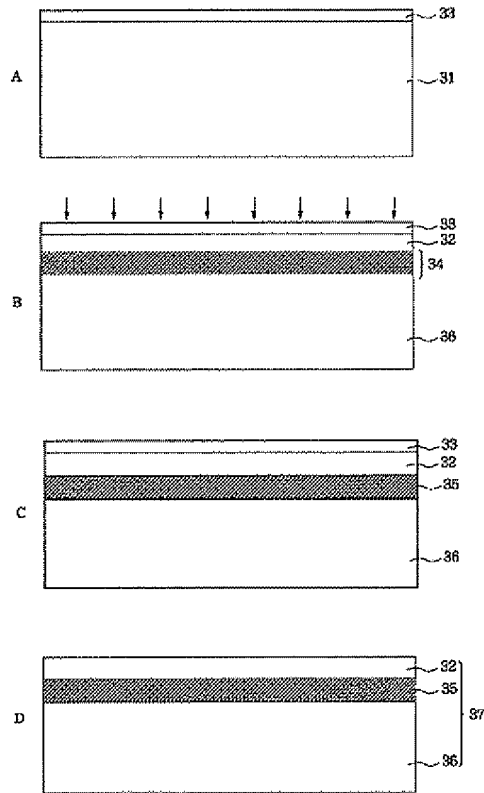
【図2】



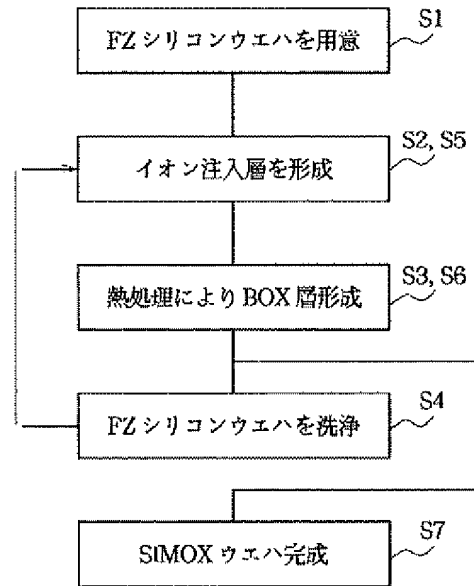
【図8】



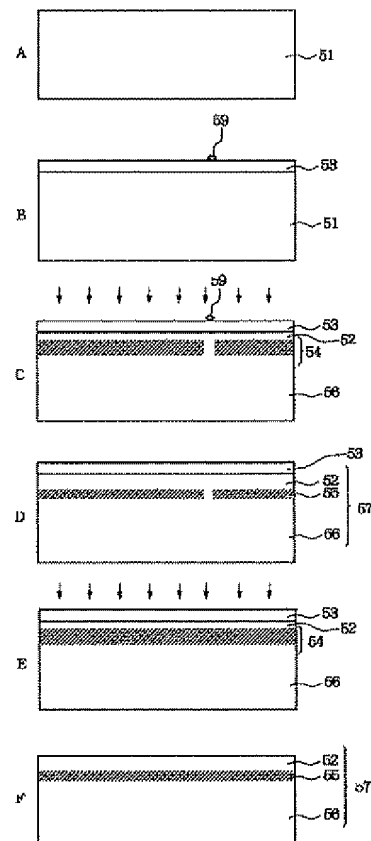
【図3】



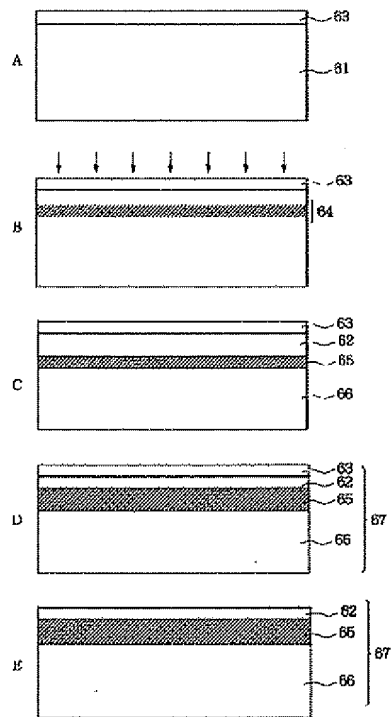
【図4】



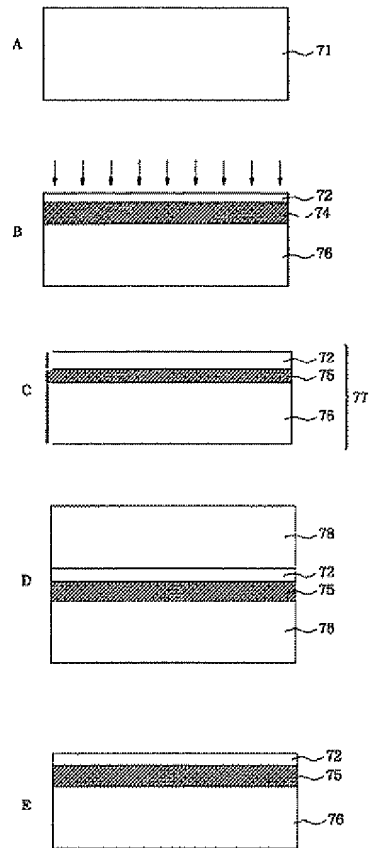
【図5】



【図6】



【図7】



【図9】

